

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 8 5 8 4
Application Number:

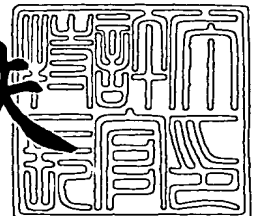
[ST. 10/C] : [J P 2 0 0 3 - 1 3 8 5 8 4]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 8 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 TA000188

【提出日】 平成15年 5月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 山口 忠士

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】**【識別番号】** 100099025**【弁理士】****【氏名又は名称】** 福田 浩志**【電話番号】** 03-3357-5171**【手数料の表示】****【予納台帳番号】** 006839**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9714945**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置、及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 集積回路に電氣的に接続された電極パッド及び前記電極パッドに電氣的に接続された導電部を有する半導体チップと、
前記半導体チップの側面に形成された絶縁材と、
前記絶縁材の表面上から前記半導体チップの前記導電部に延在する導電パターンと、
を有することを特徴とする半導体装置。

【請求項 2】 半導体装置は、第 1 及び第 2 の半導体装置を含み、
前記第 1 の半導体装置と前記第 2 の半導体装置とは、互いの前記導電パターンの一端を接続材を介して接続して積層されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体装置は、第 1 及び第 2 の半導体装置を含み、
前記第 1 の半導体装置と前記第 2 の半導体装置とは、互いの前記導電パターンを棒状接続材を介して接続して積層されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記棒状部材の先端に、外部端子としてボール状電極が設けられていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体チップの第 1 主面側に集積回路と電氣的に接続する第 1 の端子を設けると共に、前記第 1 主面側とは反対側の第 2 主面側に前記導電パターンと電氣的に接続する第 2 の端子を設けることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 半導体装置は、第 1 及び第 2 の半導体装置を含み、
前記第 1 の半導体装置と前記第 2 の半導体装置とは、前記第 1 の半導体装置の前記第 2 の端子と前記第 2 の半導体装置の第 1 の端子とを接続して積層されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 集積回路に電氣的に接続された電極パッド及び前記電極パッドに電氣的に接続された導電部を有する複数の半導体チップを準備する工程と、

前記複数の半導体チップ間に所定間隔の空隙が設けられるように、前記半導体チップを配置する工程と、

前記導電部の一部が露出するように、前記各半導体チップの表面上及び前記半導体チップ間の空隙に絶縁材を充填する工程と、

前記空隙に位置する前記絶縁材に貫通孔を形成する工程と、

前記貫通孔内壁から前記半導体チップの前記導電部に延在する導電パターンを形成する工程と、

前記貫通孔に沿って前記絶縁材を切削し、前記複数の半導体チップを個片化する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CSP（チップ・サイズ・パッケージ）に代表される、小型の半導体装置、及びその製造方法に関する。

【0002】

【従来の技術】

従来、半導体集積回路などの半導体素子のパッケージングした集積回路パッケージでは、小型化および薄型化に対する要求が高まってきており、近年、特に薄型化を要求される分野の半導体集積回路パッケージを中心に半導体素子の表面に球状の端子を格子状に配置したCSPが提唱されている。

【0003】

このCSPは、例えば、図11に示すように製造される。まず、半導体チップ50となる素子が形成されたウエハ52を準備し、その表面にポリイミド等の絶縁膜53を形成形成する（図11（a））。そして、図示しない素子の集積回路の端子と電氣的に接続するように、絶縁膜53表面に再配線層54とポスト56を形成する（図11（b））。次いで、その表面全てを封止樹脂58で被覆した後（図11（c））、切削加工によりポスト58の表面を露出させ、露出したポスト56の表面に半田ボール60を形成し、個片分割し半導体装置として完成さ

せる（図 11（d））。

【0004】

さらに、昨今では、このような CSP を 3 次元実装（スタック実装）させることも提唱されており、例えば、特開平 6-6556 号公報、特開平 2000-243900 号などには、半導体チップ側壁に形成された導電部材を介して半導体チップを積層させることが提案されている。この提案では、半導体チップとなる素子が形成されたウエハのスクライブライン上に貫通孔を設け、この貫通孔内壁に導電部材を形成している。

【0005】

また、特開平 2002-93942 号などには、半導体チップ表面から側面を通じて裏面へ至る配線層（導電部材）を形成し、半導体チップ表裏面に外部端子を設けて、当該外部端子を介して、複数の半導体チップを積層させることが提案されている。この提案では、半導体チップとなる素子が形成されたウエハ裏面から、表面に形成された再配線部分に達する深さにコントロールしてトレンチ（溝）を形成し、その溝に絶縁材（樹脂）を充填し上で、絶縁材に貫通孔を形成し、その内壁に導電部材を形成している。

【0006】

【特許文献 1】

特開平 6-6556 号公報

【特許文献 2】

特開平 2000-243900 号

【特許文献 3】

特開平 2002-93942 号

【0007】

【発明が解決しようとする課題】

しかしながら、上記いずれの提案でも、ウエハ（半導体チップ）に直接、切削加工して貫通孔若しくは溝を形成するため、ウエハに機械的ストレスが掛かりクラックなどが生じたり、また、この貫通孔や溝を形成する領域をウエハに確保しなければならず、チップの取り数が少なくなりコストが掛かってしまうといった

問題がある。

【0008】

また、特開平6-6556号公報、特開平2000-243900号に記載の提案では、ウエハ（半導体チップ）に直接貫通孔を設け、その内壁に導電部材を形成しているため、端子間ピッチが短く、小ピンカウントのチップに限られてしまい、端子間ピッチの拡大（マザー接続性確保）や、よりファインなチップ（小チップで多ピンのもの）への追従性が確保できず、チップそのものの縮小に対しては端子間ピッチを切り詰めて対処せざるを得ないと言った問題がある。

【0009】

また、特開平2002-93942号に記載の提案では、隣接した素子相互の寸法をウエハ段階で予め設定し、再配線部分に達する深さにコントロールしてトレンチ（溝）を切削加工しなければならず、精密加工が要求され、コストが掛かってしまうといった問題もある。

【0010】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の第1の目的は、チップ側面側に導電層を有する半導体装置であっても、チップに対して機械的ストレスが掛からずに得られ、信頼性が高く、安価な半導体装置、及びその製造方法を提供することである。

また、本発明の第2の目的は、小型化に対して必要以上に端子間ピッチを切り詰めることなく、端子間ピッチの拡大や、よりファインなチップ（小チップで多ピンのもの）への追従性確保が可能な半導体装置、及びその製造方法を提供することである。

【0011】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、本発明は、

（1）前記集積回路に電氣的に接続された電極パッド及び前記電極パッドに電氣的に接続された導電部を有する半導体チップと、

前記半導体チップの側面に形成された絶縁材と、

前記絶縁材の表面上から前記半導体チップの前記導電部に延在する導電パター

ンと、

を有することを特徴とする半導体装置。

【0012】

(2) 半導体装置は、第1及び第2の半導体装置を含み、

前記第1の半導体装置と前記第2の半導体装置とは、互いの前記導電パターン
の一端を接続材を介して接続して積層されていることを特徴とする前記(1)に
記載の半導体装置。

【0013】

(3) 半導体装置は、第1及び第2の半導体装置を含み、

前記第1の半導体装置と前記第2の半導体装置とは、互いの前記導電パターン
を棒状接続材を介して接続して積層されていることを特徴とする前記(1)に記
載の半導体装置。

【0014】

(4) 前記棒状部材の先端に、外部端子としてボール状電極が設けられている
ことを特徴とする前記(3)に記載の半導体装置。

【0015】

(5) 前記半導体チップの第1主面側に集積回路と電氣的に接続する第1の端
子を設けると共に、前記第1主面側とは反対側の第2主面側に前記導電パターン
と電氣的に接続する第2の端子を設けることを特徴とする前記(1)に記載の半
導体装置。

【0016】

(6) 半導体装置は、第1及び第2の半導体装置を含み、

前記第1の半導体装置と前記第2の半導体装置とは、前記第1の半導体装置の
前記第2の端子と前記第2の半導体装置の第1の端子とを接続して積層されてい
ることを特徴とする前記(5)に記載の半導体装置。

【0017】

(7) 集積回路に電氣的に接続された電極パッド及び前記電極パッドに電氣的
に接続された導電部を有する複数の半導体チップを準備する工程と、

前記複数の半導体チップ間に所定間隔の空隙が設けられるように、前記半導体

チップを配置する工程と、

前記導電部の一部が露出するように、前記各半導体チップの表面上及び前記半導体チップ間の空隙に絶縁材を充填する工程と、

前記空隙に位置する前記絶縁材に貫通孔を形成する工程と、

前記貫通孔内壁から前記半導体チップの前記導電部に延在する導電パターンを形成する工程と、

前記貫通孔に沿って前記絶縁材を切削し、前記複数の半導体チップを個片化する工程と、

を有することを特徴とする半導体装置の製造方法。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することがある。

【0019】

（第1の実施の形態）

図1は、第1の実施の形態に係る半導体装置の製造方法を説明するための工程図である。図2は、第1の実施の形態に係る半導体装置を示す概略構成図であり、（a）は平面図であり、（b）は部分断面図である。

【0020】

第1の実施の形態に係る半導体装置100は、半導体チップ10の側面に絶縁材20が形成されると共に、その絶縁材20の表面上から半導体チップ10のポスト16に延材する（導電パターン）及び配線26（導電パターン）が形成されている構成である。また、半導体チップ10は、その表面に形成された集積回路を保護するための絶縁膜13と、集積回路と電氣的に接続された電極（電極パッド：図示せず）と、電極から引き回すための配線及びポスト16（導電部）を形成のためのベースとしての再配線層14と、再配線層14上に形成されたポスト16とを含んで構成されている。

【0021】

次に、第1の実施の形態に係る半導体装置100を、その製造方法に従ってより詳細に説明する。まず、図1に示すように、半導体チップ10となる素子の集積回路が形成されウエハ12を準備し、このウエハ12表面にポリイミド等の絶縁膜13を形成する(図1(a))。集積回路と電氣的に接続された電極(電極パッド:図示せず)とコンタクトをとるため、当該電極上の絶縁膜13を除去し、スパッタ、メッキ等により電極から引き回すための配線、及びポスト16(導電部)を形成のためのベースとしての再配線層14を形成する。

【0022】

続いて、ポスト16を形成するために、ウエハ12上にレジストを塗布し、マスクをかけ、露光後エッチングしてレジストに開口を形成する。そして、メッキなどによりポスト16(導電部)を形成して、レジストを除去して洗浄する(図1(b))

【0023】

その後、スクライブにて個片し、個片化した半導体チップ10を、各チップ間に所定間隔の空隙18が設けられるように引き離す(図1(c))。そして、チップ表面に被覆すると共に、チップ間の空隙18に充填されるように、絶縁材20(樹脂)を形成する。そして、空隙18に充填された絶縁材20の所定位置に、レーザ照射などにより、所定数の表裏面に貫通する貫通孔22を形成し、切削加工によりポスト16表面を露出させる(図1(d))。

【0024】

次に、チップ表面、及び貫通孔22内壁に被覆するように、メッキ処理などにより導電層24を形成する(図1(e))。ここで、導電層24は、貫通孔22内壁を被覆するように形成されてもよいし、貫通孔22内部を埋めて形成されてもよい。

【0025】

次に、図3に示すように、チップ表面側に形成された導電層24を、フォトリソグラフィ法などによりエッチングを行ない、配線加工して所定のパターンを有する配線26を形成する。配線26を保護するために、チップ表面側にソルダーレジスト28を形成する(図1(f))。

【0026】

そして、貫通孔 22 を分断するように、スクライブにて個片化することで、図 2 に示すように半導体チップ 10 側面側に導電層 24 が形成された半導体装置 100 が得られる。

【0027】

本実施形態では、半導体チップ 10 の側面に絶縁材 20 を形成し、その絶縁材 20 の表面上からポスト 16 に延材する導電層 24 (導電パターン) 及び配線 26 (導電パターン) を形成した構成としているため、チップに対して機械的ストレスなく得られた半導体装置であり、クラックなどや配線剥れなどが無い信頼性が高いものである。

【0028】

具体的には、本実施形態では、個片化した複数の半導体チップ 10 を、所定間隔の空隙 18 を設けるように並べ、この空隙 18 に絶縁材 20 を充填して、当該絶縁材 20 に貫通孔を形成する。そして、貫通孔 22 内壁に導電層 24 を形成して、貫通孔 22 に沿って絶縁材 20 を切削して、半導体チップ 10 を個片化している。

【0029】

このように、チップ側面側の導電層 24 が形成される貫通孔 22 を、複数のチップ間の空隙 18 に充填された絶縁材 20 に形成するため、チップに対して機械的ストレスを与えることなく、半導体装置を得ることが可能となる。このため、得られた半導体装置は、クラックなどや配線剥れなどが無い信頼性が高いものとなる。

【0030】

また、本実施形態では、ウエハ 12 に直接貫通孔 22 を設ける領域を形成する必要性がなく、1枚当たりのチップの取り数を増加させることができると共に、表裏面に貫く貫通孔 22 を設けるので、精密加工が必要とされず、低コスト化が実現できる。

【0031】

また、本実施形態では、チップ側面側に絶縁材 20 を介して導電層 24 を形成

しているので、チップ側面側に直接、導電層 24 形成する（例えば、貫通孔 22 を直接ウエハ 12 形成する）場合に比べ、導電層 24 の形成ピッチ（貫通孔の形成ピッチ）を広げることが可能となる。このため、チップ側面側に形成された導電層 24 を接続端子として利用することで、チップの小型化に対して必要以上に端子間ピッチを切り詰めることなく、端子間ピッチの拡大や、よりファインなチップ（小チップで多ピンのもの）への追従性確保が可能となる。

【0032】

（第 2 の実施の形態）

図 4 は、第 2 の実施の形態に係る半導体装置を示す部分断面図である。

第 2 の実施の形態は、第 1 の実施の形態に係る半導体装置 100 を積層した形態である。本実施形態では、半導体チップ 10 側面側に形成された互いの導電層 24 の一端を半田などの接続材 30 を介して接続して、2 つの半導体装置 100 を積層している。

【0033】

本実施形態では、導電層 24 の一端を端子として利用しているため、上述のように端子間ピッチが従来よりも広くすることができるため、接続不良が生じ難く、信頼性が高い 3 次元実装（スタック実装）が可能であり、例えば、メモリなどの半導体装置において処理容量の増大に有効に利用することができる。

【0034】

（第 3 の実施の形態）

図 5 は、第 3 の実施の形態に係る半導体装置を示す部分断面図である。

第 3 の実施の形態は、第 1 の実施の形態に係る半導体装置 100 を積層した形態である。本実施形態では、半導体チップ 10 側面側に形成された互いの導電層 24 に導電性の棒状接続材料 32 を半田などの接続材 30 で接着し、この棒状接続材料 32 を介して、3 つの半導体装置 100 を積層している。また、棒状接続材料 32 の先端には、接続用端子として半田ボール 36 が形成されており、この積層した半導体装置の配線基板への搭載は、この半田ボール 36 を介して行なわれる。

【0035】

本実施形態では、第2の実施形態と同様に、接続不良が生じ難く、信頼性が高い3次元実装（スタック実装）が可能である。

【0036】

また、本実施形態では、棒状接続材料32を介して各半導体チップ10を接続しているため、多数の半導体装置100を安定して3次元実装（スタック実装）が可能であり、また、配線基板への搭載も、棒状接続材料32を介して行なうため、配線基板のねじれや衝撃等の機械的応力の緩衝となって接続信頼性の確保がなされる。

【0037】

また、本実施例では、上述のように、チップ側面側に設けられる導電層24のピッチが広いので、大径の棒状接続材料32を使用することができ、棒状接続材料32のハンドリング性向上や、強度確保が実現できる。

【0038】

（第4の実施の形態）

図6は、第4の実施の形態に係る半導体装置の製造方法を説明するための工程図である。図7は、第4の実施の形態に係る半導体装置を示す概略構成図であり、（a）は平面図であり、（b）は部分断面図である。

【0039】

第4の実施形態は、第1の実施の形態に係る半導体装置のチップ裏面側（第2主面側）に、導電層24と電氣的に接続される端子（配線）が形成された形態である。この第4の実施形態を、その製造方法に従って説明する。まず、図6に示すように、半導体チップ10となる素子の集積回路が形成されウエハ12を準備し、配線26を保護するために、チップ表面に配線26の一部を露出してソルダーレジスト28を形成するまでは、第1の実施形態と同様であるので説明を省略する（図6（a）～（f））。

【0040】

その後、ウエハ12を反転させて、裏面（配線26が形成された表面とは反対側の面）にも、絶縁材20を被覆して、貫通孔22（貫通孔22内壁の導電層24）を露出させ、メッキ処理などにより導電層24を形成する。続いて、チップ

裏面に形成された導電層 24 を、フォトリソグラフィ法などによりエッジングを行ない、配線加工して所定のパターンを有する配線 38 を形成する。次に、チップ裏面にも接続用端子として利用するため配線 38 の一部が露出するようにソルダーレジスト 28 を形成する（露出された配線 38：第 2 の端子）。一方、図 8 に示すように、チップ表面に露出された配線 26 には接続用端子として半田ボール 36（第 1 の端子）を形成する（図 6（g））。

【0041】

そして、貫通孔 22 を分断するように、スクライブにて個片化することで、図 7 に示すような半導体チップ 10 側面に導電層 24 が形成されると共に、当該導電層 24 と電氣的に接続される配線 26（端子）を裏面に有する半導体装置 100 が得られる。

【0042】

本実施形態では、半導体装置表裏面に端子が形成されているので、この裏面側の端子（配線 38）を使用することで、例えば、配線基板に実装した後、導通確認が可能となる。

【0043】

（第 5 の実施の形態）

図 9 は、第 5 の実施の形態に係る半導体装置を示す部分断面図である。

第 5 の実施の形態は、第 4 の実施の形態に係る半導体装置 100 上に、例えば、既存の CSP 型半導体装置 102 を積層した形態である。本実施形態の半導体装置 104 では、半導体装置 100 裏面の露出された配線 38 を接続端子として、当該接続端子と、既存の CPS 型半導体装置 102 の接続端子としての半田ボール 36 とを接続して、2 つの半導体装置 100、102 を積層している。

【0044】

本実施形態では、半導体装置 100 裏面の配線 38 のパターンニング（端子配置の設計）に自由度が増しており、積層される半導体装置に合わせて、適切な端子配置が可能であり、異なる機能を有する半導体装置（接続端子配置が異なるもの）の 3 次元実装が容易となる。

【0045】

(第 6 の実施の形態)

図 10 は、第 6 の実施の形態に係る半導体装置である。

第 6 の実施形態は、第 5 の実施の形態に係る半導体装置 104 を積層した形態である。本実施形態では、半導体装置 104 (半導体装置 100) における互いの導電層 24 に導電の棒状接続材料 32 を半田などの接続材 30 で接着し、この棒状接続材料 32 を介して、2 つの半導体装置 104 を積層している。但し、上方に積層される半導体装置 104 には、半田ボール 36 は形成されていない。

【0046】

本実施形態では、第 5 の実施形態のような異なる機能を有する半導体装置 104 を、さらに互いの導電層 24 を導電の棒状接続材料 32 を介して接続することで、容易に 3 次元実装が可能となり、さらなる高密度実装が実現可能である。

【0047】

なお、上記何れの実施の形態においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【0048】

【発明の効果】

以上、本発明の半導体装置、及びその製造方法によれば、チップ側面に導電層を有する半導体装置であっても、チップに対して機械的ストレスが掛からずに得られ、信頼性が高く、安価に提供することが可能となる

また、小型化に対して必要以上に端子間ピッチを切り詰めることなく、端子間ピッチの拡大や、よりファインなチップ（小チップで多ピンのもの）への追従性確保が可能となる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態に係る半導体装置の製造方法を説明するための工程図である。

【図 2】 第 1 の実施の形態に係る半導体装置を示す概略構成図であり、(a) は平面図であり、(b) は部分断面図である。

【図 3】 第 1 の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

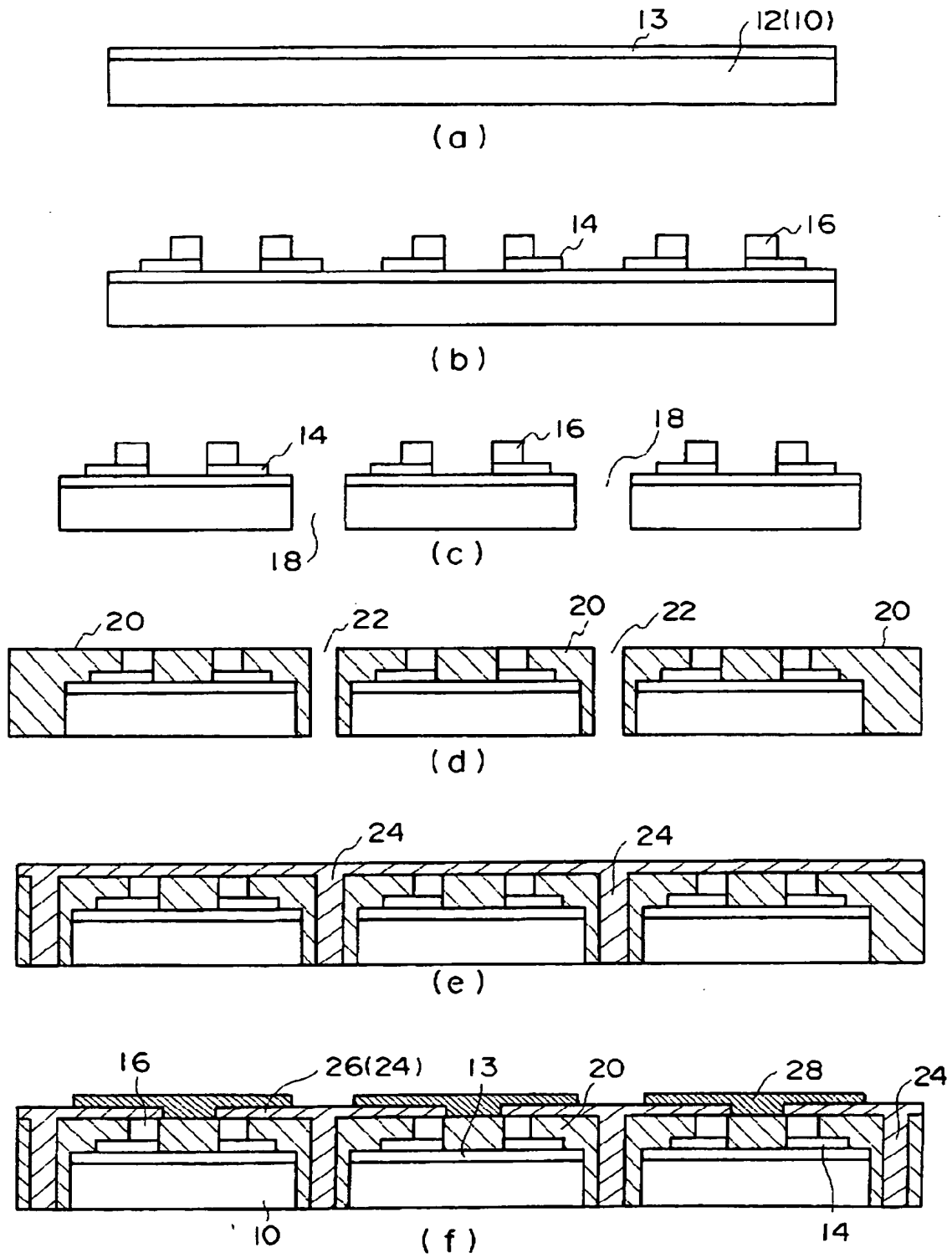
- 【図 4】 第 2 の実施の形態に係る半導体装置を示す部分断面図である。
- 【図 5】 第 3 の実施の形態に係る半導体装置を示す部分断面図である。
- 【図 6】 第 4 の実施の形態に係る半導体装置の製造方法を説明するための工程図である。
- 【図 7】 第 4 の実施の形態に係る半導体装置を示す概略構成図であり、（ a ）は平面図であり、（ b ）は部分断面図である。
- 【図 8】 第 4 の実施の形態に係る半導体装置の製造方法を説明するための平面図である。
- 【図 9】 第 5 の実施の形態に係る半導体装置を示す部分断面図である。
- 【図 1 0】 第 6 の実施の形態に係る半導体装置を示す部分断面図である。
- 【図 1 1】 従来の半導体装置の製造方法を説明するための工程図である。

【符号の説明】

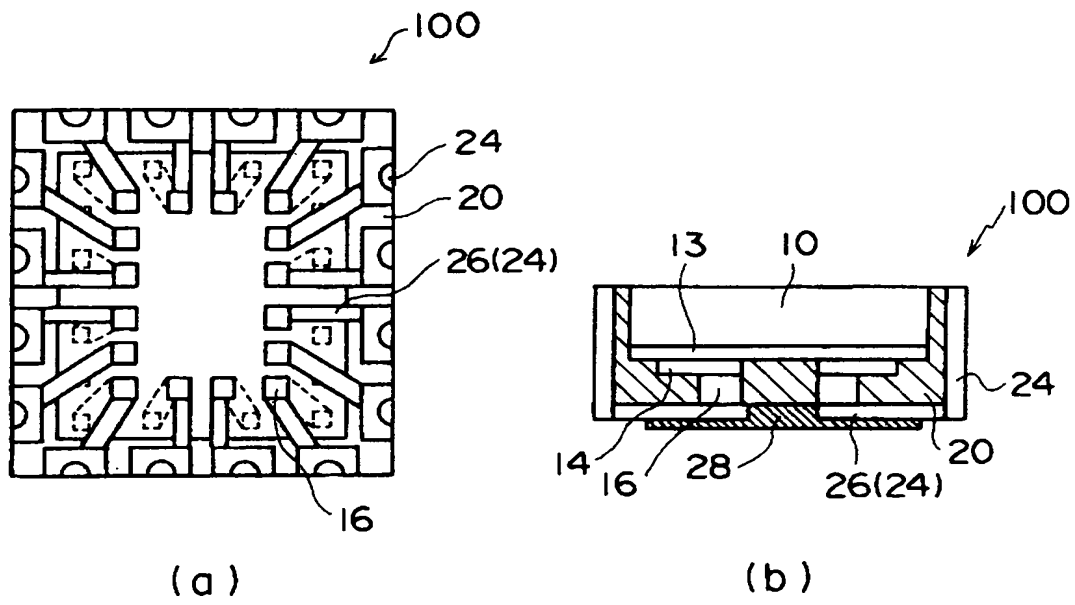
- 1 0 半導体チップ
- 1 2 ウエハ
- 1 3 絶縁膜
- 1 4 再配線層
- 1 6 ポスト（導電部）
- 1 8 空隙
- 2 0 絶縁材
- 2 2 貫通孔
- 2 4 導電層（導電パターン）
- 2 6、3 8 配線（導電パターン）
- 2 8 ソルダーレジスト
- 3 0 接続材
- 3 2 棒状接続材料
- 3 6 半田ボール
- 1 0 0、1 0 2、1 0 4 半導体装置

【書類名】 図面

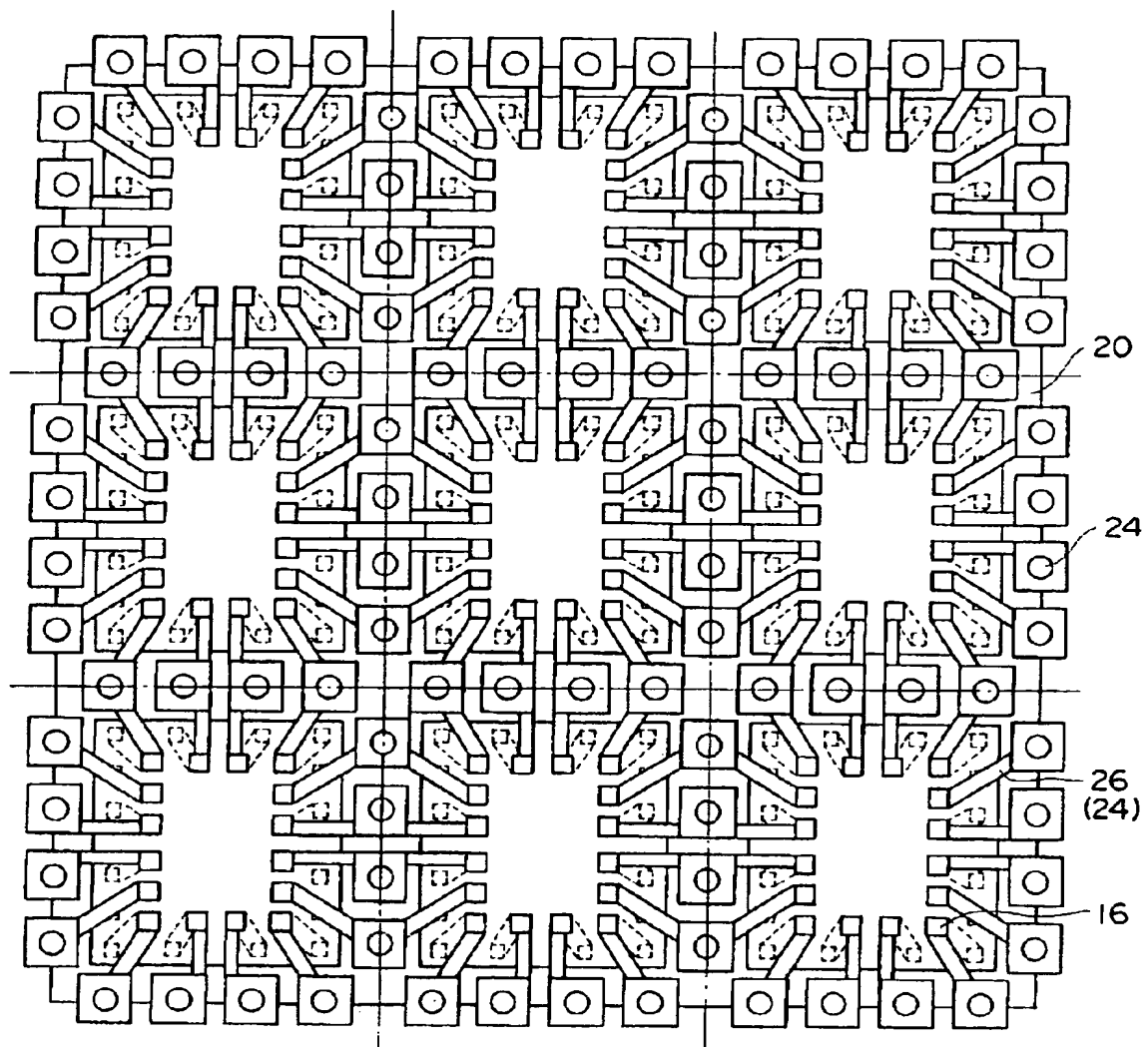
【図 1】



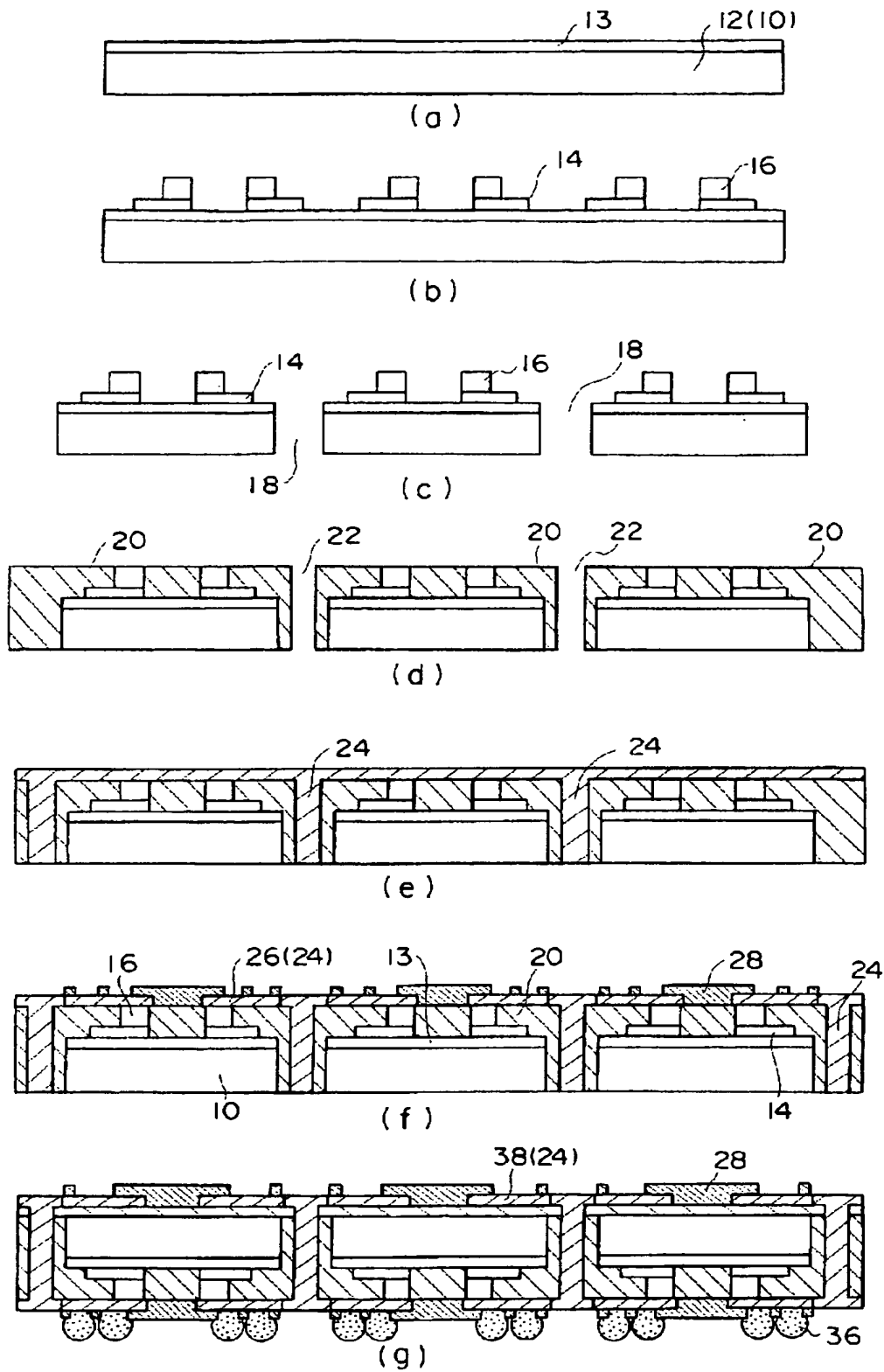
【図 2】



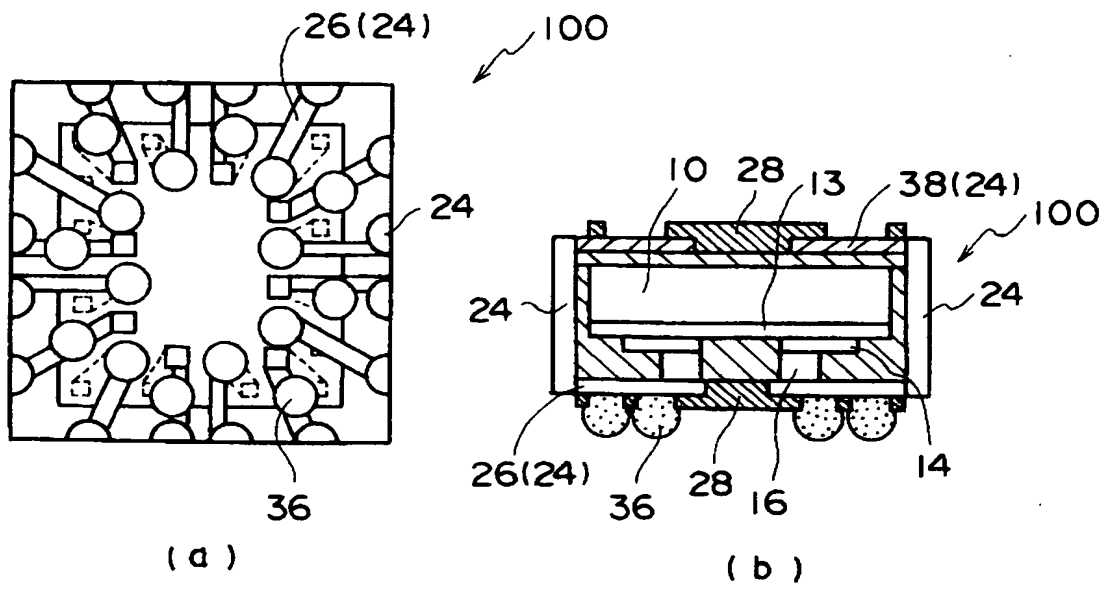
【図 3】



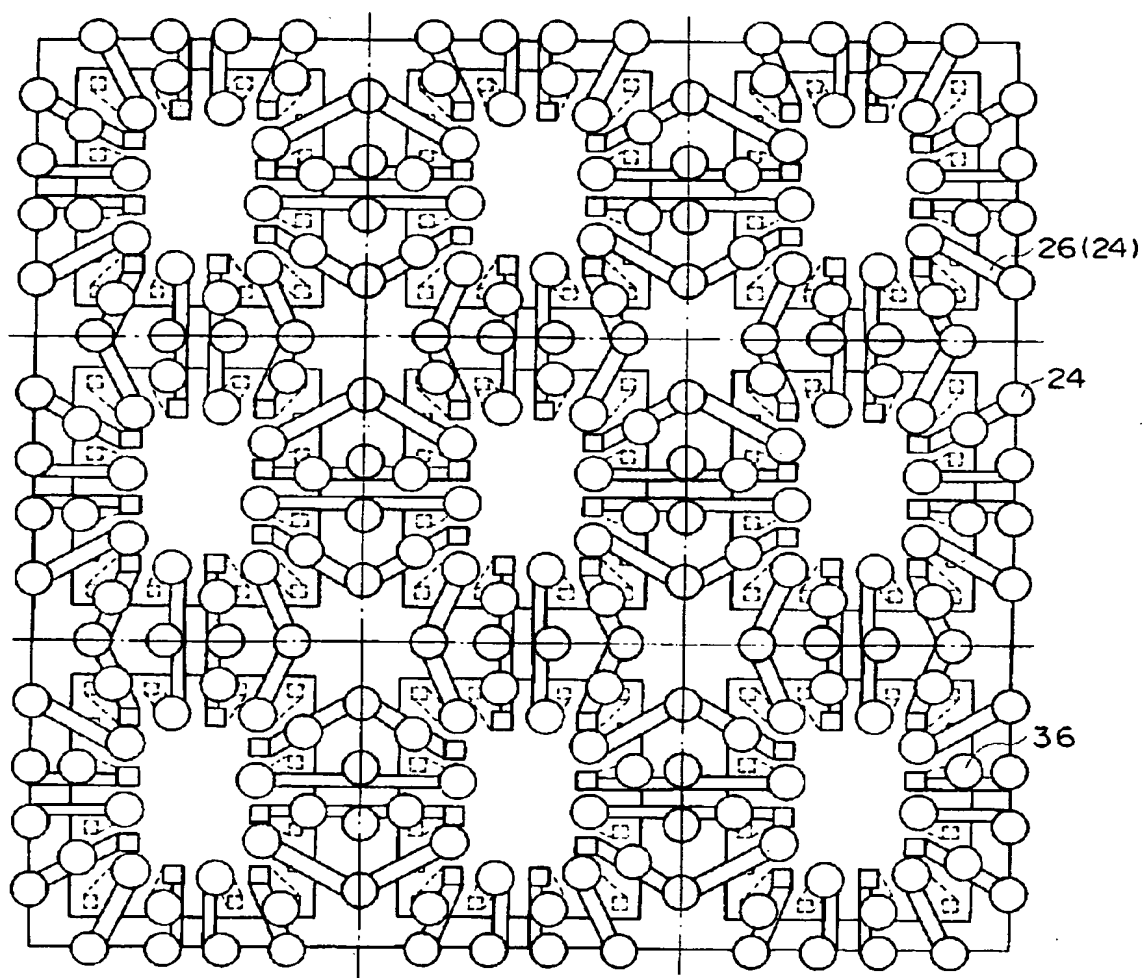
【図 6】



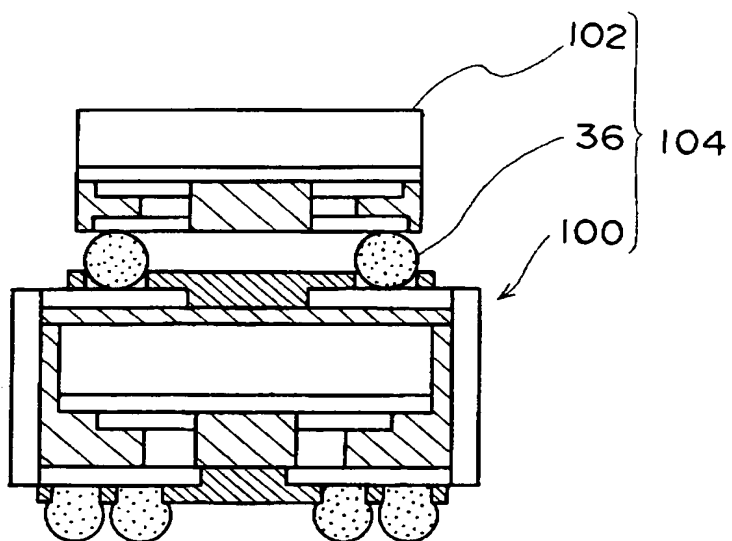
【図 7】



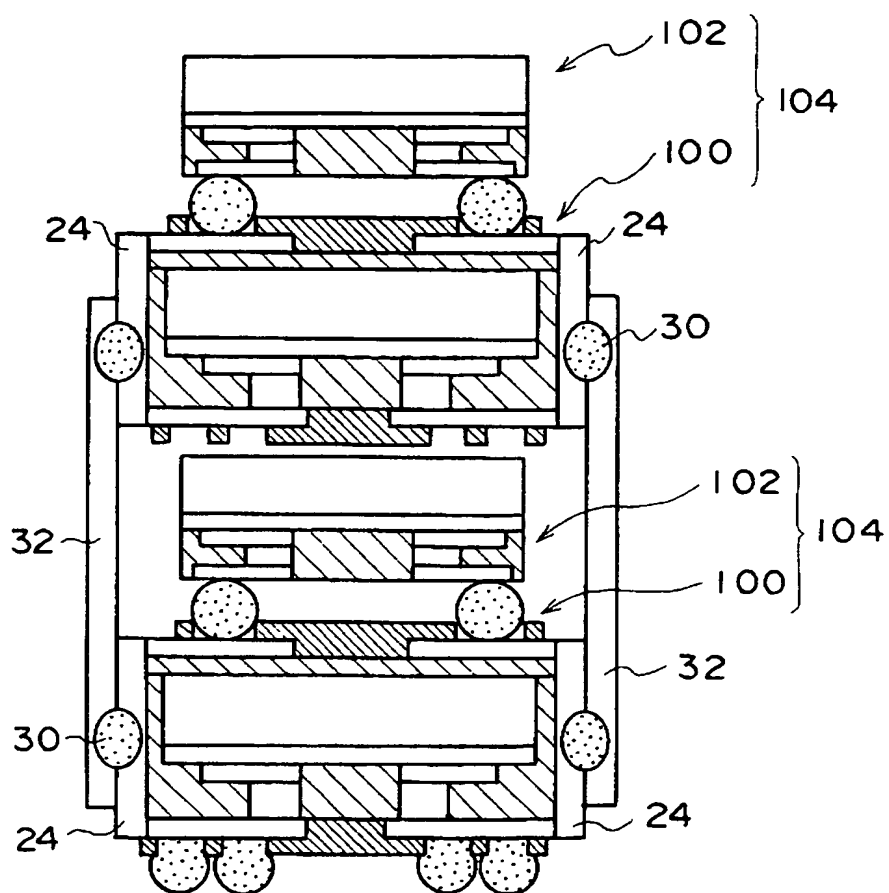
【図 8】



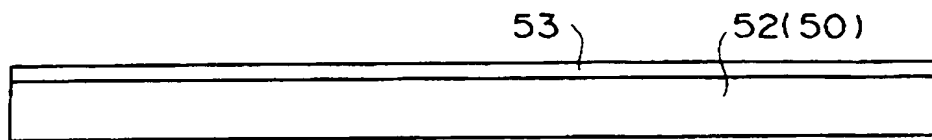
【図 9】



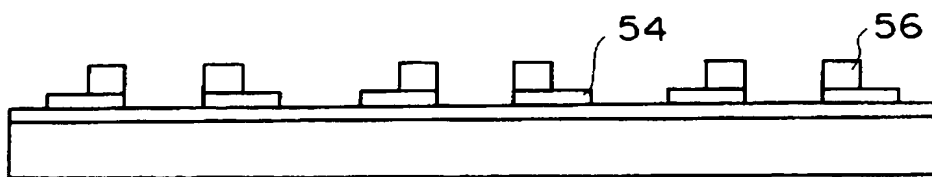
【図 10】



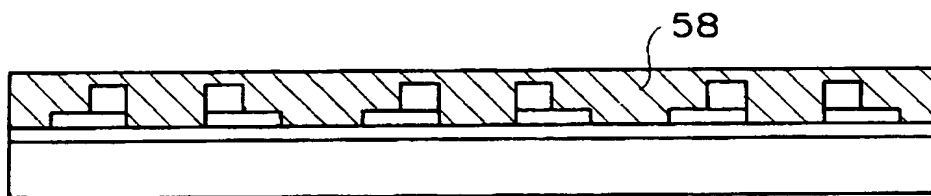
【図 11】



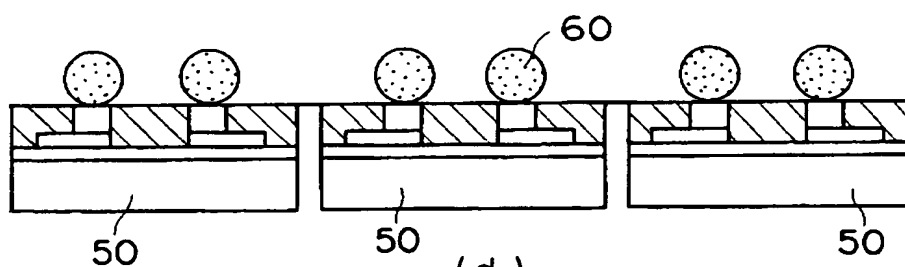
(a)



(b)



(c)



(d)

【書類名】 要約書

【要約】

【課題】 チップ側面側に導電層を有する半導体装置であっても、チップに対して機械的ストレスが掛からずに得られ、信頼性が高く、安価な半導体装置、及びその製造方法を提供すること。また、小型化に対して必要以上に端子間ピッチを切り詰めることなく、端子間ピッチの拡大や、よりファインなチップ（小チップで多ピンのもの）への追従性確保が可能な半導体装置、及びその製造方法を提供すること。

【解決手段】 半導体チップ 1 0 の側面に絶縁材 2 0 が形成されると共に、その絶縁材 2 0 の表面上から半導体チップ 1 0 のポスト 1 6 に延材する導電層 2 4 （導電パターン）及び配線 2 6 （導電パターン）を形成させた構成とする。例えば、複数の半導体チップ 1 0 を空隙が設けられるように配置し、当該チップ 1 0 間の空隙に絶縁材 2 0 を充填すると共に、当該絶縁材 2 0 を充填した空隙に貫通孔を設ける。そして、その貫通孔の内壁に導電層 2 4 を形成すると共に、配線 2 6 を形成した後、貫通孔に沿って絶縁材 2 0 を切削して個片化し、半導体装置 1 0 0 を作製する。

【選択図】 図 1

特願 2003-138584

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社